

PAT-NO: JP359003984A

DOCUMENT-IDENTIFIER: JP 59003984 A

TITLE: SEMIONDUCTOR ELEMENT HAVING SUB
MOUNT

PUBN-DATE: January 10, 1984

INVENTOR-INFORMATION:

NAME

NISHIZAWA, HIDEAKI

ASSIGNEE-INFORMATION:

NAME

SUMITOMO ELECTRIC IND LTD

COUNTRY

N/A

APPL-NO: JP57112036

APPL-DATE: June 29, 1982

INT-CL (IPC): H01L033/00, H01L031/00 , H01S003/18

US-CL-CURRENT: 257/99, 257/E33.066

ABSTRACT:

PURPOSE: To improve the reliability of a semiconductor element by reducing strains applied on a semiconductor chip by a method wherein a semiconductor element sub mount composed of crystal material of the same composition as that of the substrate material for the semiconductor element chip is provided.

CONSTITUTION: The substrate material of a light emitting diode chip 1 the

semiconductor element is supposed as GaAs. The semiconductor element sub mount 13 wherein the front and back surfaces of GaAs single crystals are metallized with Au is adhered on a header 2 with Au-Si alloy solder, the LED chip 1 is die-bonded with Au-Sn alloy solder 3, and further an Au wire 4 is wire-bonded to the LED chip 1 and external leads 5, resulting in the completion of assembly of a LED. Since the semiconductor element chip is adhered on the sub mount composed of material of the same composition as that of the substrate material of the semiconductor chip, coefficients of thermal expansion are equal in both, and therefore the strain due to temperature change does not generate.

COPYRIGHT: (C)1984,JPO&Japio

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-3984

⑤ Int. Cl.³
H 01 L 33/00
31/00
H 01 S 3/18

識別記号

庁内整理番号
6666-5F
7021-5F
7377-5F

⑬ 公開 昭和59年(1984)1月10日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ サブマウントを有する半導体素子

号住友電気工業株式会社大阪製作所内

⑮ 特 願 昭57-112036

⑯ 出 願 人 住友電気工業株式会社

⑰ 出 願 昭57(1982)6月29日

大阪市東区北浜5丁目15番地

⑱ 発 明 者 西沢秀明

⑲ 代 理 人 弁理士 湯浅恭三 外2名

大阪市此花区島屋1丁目1番3

明 細 書

1. (発 明 の 名 称)

サブマウントを有する半導体素子

2. (特 許 請 求 の 範 囲)

(1) ヘッダー表面上に半導体素子チップの基⁽⁷²⁾結晶と同じ組成の結晶から成る半導体素子チップ放熱用サブマウントを備えることを特徴とするサブマウントを有する半導体素子。

(2) (1)において、前記サブマウントがⅢ-V族化合物半導体結晶から成ることを特徴とするサブマウントを有する半導体素子。

(3) (1)において、前記半導体素子チップが発光ダイオード、半導体レーザ、あるいは太陽電池から成ることを特徴とするサブマウントを有する半導体素子。

3. (発 明 の 詳 細 な 説 明)

本発明は半導体素子チップとこのチップを取り付けるヘッダーとの間に半導体素子チップの基板材料と同じ組成のサブマウントを設けた半導体素子に関する。

一般に、発光素子等の半導体素子の信頼性を向上させあるいは寿命を長くするために半導体素子の組立工程において及びその動作時に素子チップにかかる歪を低減することが重要である。

第1図は従来の発光ダイオードの構成を示す図である。半導体素子として、TO-18型ヘッダーにマウントされる発光ダイオードを例にとりその組立工程について説明する。まず、材質がFe-Ni-Co合金から成り金メッキが施されているTO-18型ヘッダー2を300℃に加熱し、その上にAu-Sn系合金ハンダ(Sn 20%)3を発光ダイオードチップのマウント位置に第1図のように配する。このAu-Sn系合金ハンダ3の融点は280℃であるからこのハンダ3は直ちに熔融する。熔融しているハンダ8上に発光ダイオードチップ1をマウントし冷却すると、Au-Sn系合金ハンダ8が固まり、これによつて発光ダイオードチップ1とTO-18型ヘッダー2は接着される。以上の工程をダイボンド工程という。次に、発光ダイオードチップ1と外部リード5とをAu線4

で接続して発光ダイオードの組立が完了する。この後、ヘッダー2上で発光ダイオードチップ1に対する気密封止又は樹脂封止が行なわれる場合があるが、ここでは必要がないので説明しない。

このダイボンド工程では発光ダイオードチップ1に歪が発生する。すなわち、TO-18型ヘッダー2上で溶けたAu-Sn系合金ハンダ3は冷却されると280℃で固化し発光ダイオードチップ1をTO-18型ヘッダー2に接着するが、更に温度が下がると発光ダイオードチップ1の材質とTO-18型ヘッダー2の材質との熱膨張係数の差により歪が発生し、両者内に歪が残留する。これはAu-Sn系合金ハンダ3の代りにAu-Si系合金ハンダあるいはIn等のハンダ材料を用いても、熱硬化性樹脂を用いても同様である。つまり、従来の半導体素子ではダイボンド工程において歪が発生し、素子チップ及びヘッダーあるいはステムにこの歪が残留する欠点がある。

また、Au-Sn系合金ハンダ3に代えてダイボンド時に加熱及び冷却を必要としない樹脂性硬

樹脂等のダイボンド材を用いた場合には、ダイボンド時には以上述べたような歪はほとんど残留しないと考えられる。しかし、この場合には、発光ダイオードチップ1が動作している時には50℃～100℃に発熱するために、発光ダイオードチップ1とTO-18型ヘッダー2との熱膨張係数の差により応力が両者の界面に集中し、同様の歪が発生する欠点がある。

本発明の目的は、半導体素子チップに加わる歪を低減し半導体素子の信頼性を向上させるために、半導体素子チップの基板材料と同じ組成の結晶材料から成る半導体素子用サブマウントを設けた半導体素子を提供することである。

以下に図面を参照して本発明について詳細に説明する。本発明に使用する半導体素子として発光ダイオードを用いて本発明について説明する。

第2図は発光ダイオードの構成を例示する断面図である。通常のエピタキシャル成長法によりGaAs基板単結晶(厚さ300μm、Siドープ、 $n = 1 \times 10^{16} \text{cm}^{-3}$)6上に順次にGa_{0.7}Al_{0.3}As

(厚さ5μm、Teドープ、 $n = 2 \times 10^{18} \text{cm}^{-3}$)より成る第1のエピタキシャル層7、Ga_{0.95}Al_{0.05}As(厚さ2μm、Geドープ、 $p = 1 \times 10^{17} \text{cm}^{-3}$)より成る第2のエピタキシャル層8、Ga_{0.7}Al_{0.3}As(厚さ3μm、Geドープ、 $p = 5 \times 10^{17} \text{cm}^{-3}$)より成る第3のエピタキシャル層9、及びGa_{0.5}Al_{0.5}As(厚さ2μm、Geドープ、 $p = 1 \times 10^{19} \text{cm}^{-3}$)より成る第4のエピタキシャル層10を形成した後、通常のウエハプロセスを経て、発光ダイオードチップ1が作成される。発光ダイオードのペレットサイズは400μm×400μmで厚さは250μmである。11はAu-Ge-Niのn型電極、12はAu-Znのp型電極である。基板6にはGaAs単結晶が用いられている。

第3図は本発明のサブマウントを有する半導体素子の実施例を示す図である。半導体素子である発光ダイオードチップ1の基板材料は第2図を参照して説明したようにGaAsであるとする。そこで、GaAs単結晶の表裏にAuをメタライズした大きさ1mm×1mm、厚さ400μmの半導体素子

用サブマウント13を発光ダイオードチップ1とTO-18型ヘッダー2との間に設ける。一般に、素子とヘッダーの間に位置し両者を結合する物体をサブマウントという。半導体素子用サブマウント13がAu-Si系合金ハンダによりTO-18型ヘッダー2に接着され、次にこの半導体素子用サブマウント13上にAu-Sn系合金ハンダ3により発光ダイオードチップ1がダイボンドされ、更にAu線4が発光ダイオードチップ1と外部リード5とにワイヤーボンドされて、発光ダイオードの組立が完了する。InP基板を用いたInGaAsP系の素子に対してはInP結晶をサブマウントとして使用する。すなわち、サブマウントの材料は発光素子チップの基板材料と同一の組成の結晶材料であればよい。また、ダイボンド材料としてAu-Ge系合金、In、更にはエポキシ樹脂、Agペースト等も使用できる。サブマウントの材料及びダイボンド材料共に材料に特別の制限はない。発光素子等の半導体素子用サブマウントとして単結晶以外に多結晶を用いることもできる。

本発明のサブマウントと従来のサブマウントとの相違について説明する。従来のサブマウントは半導体素子の放熱性を改善することを目的としている。つまり、ヘッダー2の表面上に例えば発光素子チップを直接ダイボンドするとヘッダー表面の凸凹により発光素子チップ1とヘッダー2との接触面積が小さくなり、発光素子チップ1が発生する熱の放熱性が悪いので、発光素子と密着性の良いヒートシンクとしてサブマウントが用いられている。一般に、熱伝導の良さ、加工の容易さ及び表面平坦性の良さからSiサブマウントが従来使用されている。これに対し、本発明のサブマウントは半導体素子チップ1とヘッダー2との熱膨張係数の差により半導体素子チップ1に加わる歪を低減することを目的としている。例えば、GaAsの線膨張係数が $5.8 \times 10^{-6}/^{\circ}\text{C}$ であるのに対しSiの線膨張係数は $2.6 \times 10^{-6}/^{\circ}\text{C}$ であり、ダイボンド時にSiサブマウントとGaAs基板を用いた発光素子との間に $5 \times 10^{11} \text{ dyn/cm}^2$ 程度の応力が残留する。また、Ag等の材料を用いたと

しても、ダイボンド時の歪及び動作時の歪は解消されない。しかし、本発明に基づいて、半導体素子チップの基板材料と同じ組成の材料から成るサブマウント上に半導体素子チップを接合すれば、熱膨張係数が両者共に同じであるから原理的には温度変化による歪は発生しない。GaAs等のIII-V族化合物半導体は加工の容易さ及び表面平坦性の良さはSiに劣らない。

このように、本発明は、ダイボンド時及び半導体素子動作時に半導体素子チップに加わる歪を大幅に低減させ、半導体素子の信頼性を向上するのに有効である。

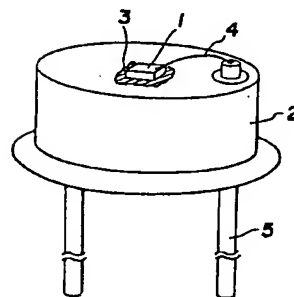
本発明は、発光ダイオードに限らず、半導体レーザー、更には太陽電池等の受光素子にも広汎に適用できる。

4. (図面の簡単な説明)

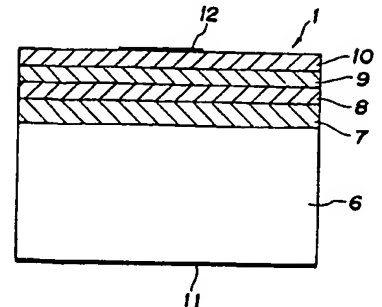
第1図は従来の発光ダイオードの構成を示す図、第2図は発光ダイオードの構成を例示する断面図、第3図は本発明のサブマウントを有する半導体素子の実施例を示す図である。

- 1 : 発光ダイオードチップ
 2 : TO-18型ヘッダー 3 : Au-Sn系合金ハンダ
 4 : Au線 5 : 外部リード
 6 : GaAs基板 7 : 第1のエピタキシャル層
 8 : 第2のエピタキシャル層
 9 : 第3のエピタキシャル層
 10 : 第4のエピタキシャル層 11 : n型電極
 12 : p型電極 13 : サブマウント

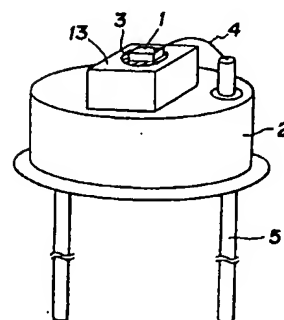
第1図



第2図



第3図



特許出願人 住友電気工業株式会社

代理人 弁理士 湯 浅 恭



(外2名)